

(TRANSLATION)  
**NOTICE TO SUBMIT RESPONSE**

**Patent Applicant**

Name: Samsung Electronics Co., Ltd. (Applicant Code: 119981042713)  
Address: 416 Maetan-dong, Yeongtong-gu, Suwon-si,  
Gyeonggi-do, Korea

**Attorney**

Name: Young-pil Lee et al.  
Address: 2F Cheonghwa Bldg., 1571-18 Seocho-dong, Seocho-ku, Seoul,  
Korea

**Application No.:** 10-2002-0073049

**Title of the Invention:** Method of fabricating semiconductor device

According to Article 63 of the Korean Patent Law, the applicant is notified that the present application has been rejected for the reasons given below. Any Argument or Amendment, which the applicant may wish to submit, must be submitted by September 15, 2004. An indefinite number of one-month extensions in the period for submitting a response may be obtained upon request, however no official confirmation of the acceptance of a request for an extension will be issued.

**Reasons**

The invention as claimed in claims 1, 3, and 12 could have been easily invented by one of ordinary skill in the art prior to the filing of the application, and thus this application is rejected according to Article 29(2) of the Korean Patent Law.

1. The invention as claimed in claims 1, 3, and 12 discloses a method of fabricating a semiconductor device, comprising forming source and drain regions; forming an etch stop layer; forming a first interlayer insulating film; and forming self-aligned contact holes such that the source and drain regions are exposed. Korean Patent Laid-open Publication No. 98-0005622 dated March 30, 1998 (hereinafter, cited reference) discloses a method of fabricating a contact hole of a semiconductor device, comprising forming source and drain regions and a gate electrode in an upper portion of a semiconductor substrate; forming a buffer layer; forming an etching barrier layer on the buffer layer; forming a lower insulating layer to planarize the entire surface of the

semiconductor substrate; etching the resultant structure such that the etching barrier layer is exposed; and wet etching the exposed etching barrier layer using a phosphoric acid ( $\text{H}_3\text{PO}_4$ ) solution. Therefore, the invention could have been easily invented based on the cited reference by one of ordinary skill in the art (Article 29(2) of the Korean Patent Law).

2. It is described in claim 3 of the present invention that the etch stop layer is a silicon nitride layer and the first interlayer insulating film is a silicon oxide layer. Likewise, the cited reference provides the etching barrier layer formed of nitride and the insulating layer formed of oxide.

(For your reference) The detailed description and claims of the present invention include some typographic errors.

Enclosure: Korean Patent Laid-open Publication No. 98-0005622

15 July 2004

Jong-chan Kim/Examiner  
Semiconductor Part  
Electricity and Electronics Division  
Korean Industrial Property Office

출력 일자: 2004/7/16

발송번호 : 9-5-2004-028551348

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2004.07.15

층(리&목특허법률사무소)

제출기일 : 2004.09.15

이영필 귀하

137-874

## 특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 이영필

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2002-0073049

발명의 명칭 반도체 장치의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

### [이유]

이 출원의 특허청구범위 제1항, 제3항, 제12항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

1. 청구항 제1항, 제12항은 소스 및 드레인을 형성하는 단계, 식각 정지막을 형성하는 단계, 제1층간 절연막을 형성하는 단계, 소스 및 드레인을 노출시키기 위한 자기 정렬 콘택홀을 형성하는 단계, 인산용액(H3PO4)을 이용하여 습식식각법으로 소스 및 드레인 상의 상기 식각 정지막을 제거하여 소스와 드레인을 노출시키는 단계로 이루어진 반도체 소자의 제조방법임을 알 수 있으나, 한국공개특허공보제98-0005622호(1998.3.30공개)에는 반도체 기판 상부에 소스, 드레인, 게이트전극을 형성하는 공정, 완충막을 형성하는 공정, 완충막 상부에 식각장벽층을 형성하는 공정과, 반도체 기판의 전체 표면 상부를 평탄화시키는 하부 절연층을 형성하는 공정, 식각장벽층이 노출되도록 식각하는 공정, 노출된 식각장벽층을 인산용액을 이용하여 습식 방법으로 식각하는 공정으로 이루어진 반도체 소자의 제조방법이 개시되어 있으므로, 상기한 청구항은 인용예에 의하여 용이하게 발명할 수 있는 것으로 판단됩니다.

2. 청구항 제3항은 식각정지막은 실리콘 질화막이고, 제1층간 절연막은 실리콘 산화막인 것이지만, 인용예에서도 식각장벽층은 질화막으로 형성하고, 절연막은 산화막으로 형성한다고 기재되어 있습니다.

(참고)본원의 상세한 설명 및 청구항 제2항에는 오탈자가 있습니다. 보정시 참고하시기 바랍니다.

### [첨부]

첨부1 한국공개특허공보제98-0005622호(1998.3.30공개) 끝.

출력 일자: 2004/7/16

2004.07.15

특허청

전기전자심사국

반도체심사담당관실

심사관 김종찬



<<안내>>

문의사항이 있으시면 ☎ 042-481-5722 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터

## KOREAN PATENT ABSTRACT (KR)

### Patent Laid-Open Gazette

(51) IPC Code: H01L 21/28

(11) Publication No.: P1998-0005622

(43) Publication Date: 30 March 1998

(21) Application No.: 1996-0025787

(22) Application Date: 29 June 1996

(71) Applicant:

Hyundai Electronics Industries

San 136-1, Ami-ri, Pubal-eub, Ichon-shi, Kyunggi-do, Republic of Korea

(72) Inventor:

KIM KEUN-TAE

KIM JIN-WOONG

(54) Title of the Invention:

Method of forming contact hole of semiconductor device

#### Abstract:

Provided is a method of forming a contact hole of a semiconductor device. In this method, a gate electrode is formed on a semiconductor substrate, and a buffer layer is formed on the entire surface of the semiconductor substrate. An etching barrier layer is formed on the buffer layer such that it has a relatively great thickness in a portion where a contact hole will be formed. A lower insulating layer is formed to planarize the entire surface of the semiconductor substrate and etched using a contact mask such that the etching barrier layer is exposed. The exposed etching barrier layer is wet etched, and then an insulating layer is formed on the entire surface of the semiconductor substrate to a predetermined thickness and anisotropically over-etched to remove the buffer layer. Thus, insulating spacers are formed on the sidewalls of the lower insulating layer and the etching barrier layer, and simultaneously, a self-aligned contact hole is formed. At this time, the etching barrier layer, i.e., a nitride layer, is formed to a great thickness so that a difference in etch selectivity between the nitride layer and the lower insulating layer is secured and the contact hole is formed in the self-aligned manner. As a result, the characteristics and reliability of the semiconductor device are improved, thus enabling the high integration thereof.

특 1998-0005622

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(11) 공개번호 특 1998-0005622  
(43) 공개일자 1998년 03월 30일

(21) 출원번호	특 1996-0025787
(22) 출원일자	1996년 06월 29일
(71) 출원인	현대전자산업 주식회사 김주용
	경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	김근태
	서울특별시 강동구 고덕동 312번지 현대아파트 102-1003
	김진웅
	서울특별시 강동구 명일 2동 92
(74) 대리인	이권희, 이정훈

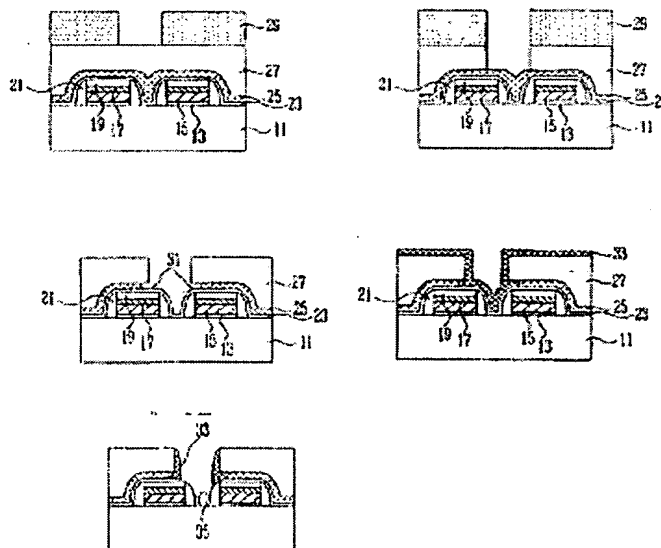
심사청구 : 없음

(54) 반도체 소자의 콘택홀 형성방법

요약

본 발명은 반도체 소자의 콘택홀 형성방법에 관한 것으로, 반도체 기판 상부에 게이트전극을 형성하고 상기 반도체 기판의 전체 표면 상부에 완충막을 형성한 다음, 상기 완충막 상부에 식각 장벽층을 형성하되, 콘택홀이 형성될 부분을 두껍게 형성하고 상기 반도체 기판의 전체 표면 상부를 평탄화시키는 하부절연층을 형성한 다음, 상기 하부절연층을 식각하되, 콘택마스크를 이용하여 상기 식각장벽층이 노출되도록 식각하고 상기 노출된 식각장벽층을 습식방법으로 식각한 다음, 상기 반도체 기판의 전체 표면 상부에 절연막을 소정두께 형성하고 상기 절연막을 이방성 식각하되, 과도식각하여 상기 완충막을 제거함으로써 상기 하부절연층과 식각장벽층 측벽에 절연막 스페이서를 형성하는 동시에 자기정렬적인 콘택홀을 형성하되, 식각장벽층인 절화막을 두껍게 형성하여 상기 절화막과 하부절연층의 식각선택비 차이를 확보하고 자기정렬 방법으로 콘택홀을 형성함으로써 반도체 소자의 특성 및 신뢰성을 향상 시키고 그에 따른 반도체 소자의 고집적화를 가능하게 하는 잇점이 있다.

도면도



명세서

[발명의 명칭]

반도체 소자의 콘택홀 형성방법

[도면의 간단한 설명]

제 1a도 내지 1e도는 본 발명의 실시예에 의한 반도체 소자의 콘택홀 형성방법을 도시한 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 반도체 기판 상부에 게이트전극을 형성하는 공정과, 상기 반도체 기판의 전체 표면 상부에 완충막을 형성하는 공정과, 상기 완충막 상부에 식각장벽층을 형성하되, 콘택홀이 형성될 부분을 두껍게 형성하는 공정과, 상기 반도체 기판의 전체 표면 상부를 평탄화시키는 하부 절연층을 형성하는 공정과, 상기 하부절연층을 식각하되, 콘택마스크를 이용하여 상기 식각장벽층이 노출되도록 식각하는 공정과, 상기 노출된 식각장벽층을 습식 방법으로 식각하는 공정과, 상기 반도체 기판의 전체표면 상부에 절연막을 소정두께 형성하는 공정과, 상기 절연막을 이방성 식각하되 과도 식각하여 상기 완충막을 제거함으로써 상기 하부절연층과 식각장벽층 측벽에 절연막 스페이서를 형성하는 동시에 자기정렬적인 콘택홀을 형성하는 공정을 포함하는 반도체 소자의 콘택홀 형성방법.

청구항 2. 제 1항에 있어서, 상기 완충막은 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 콘택홀 형성방법.

청구항 3. 제 1항에 있어서, 상기 식각장벽층은 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 콘택홀 형성방법.

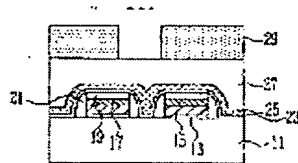
청구항 4. 제 1항에 있어서, 상기 절연막은 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 콘택홀 형성방법.

청구항 5. 제 1항에 있어서, 상기 습식방법은 인산용액을 이용하여 실시하는 것을 특징으로 하는 반도체 콘택홀 형성방법.

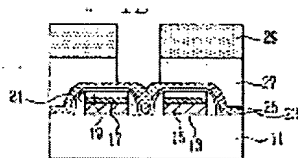
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

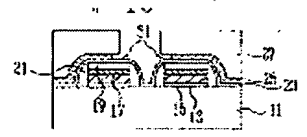
도면 1a



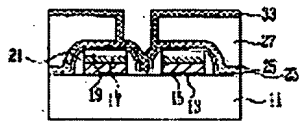
도면 1b



도면 1c



도면 1d



도면 1e

